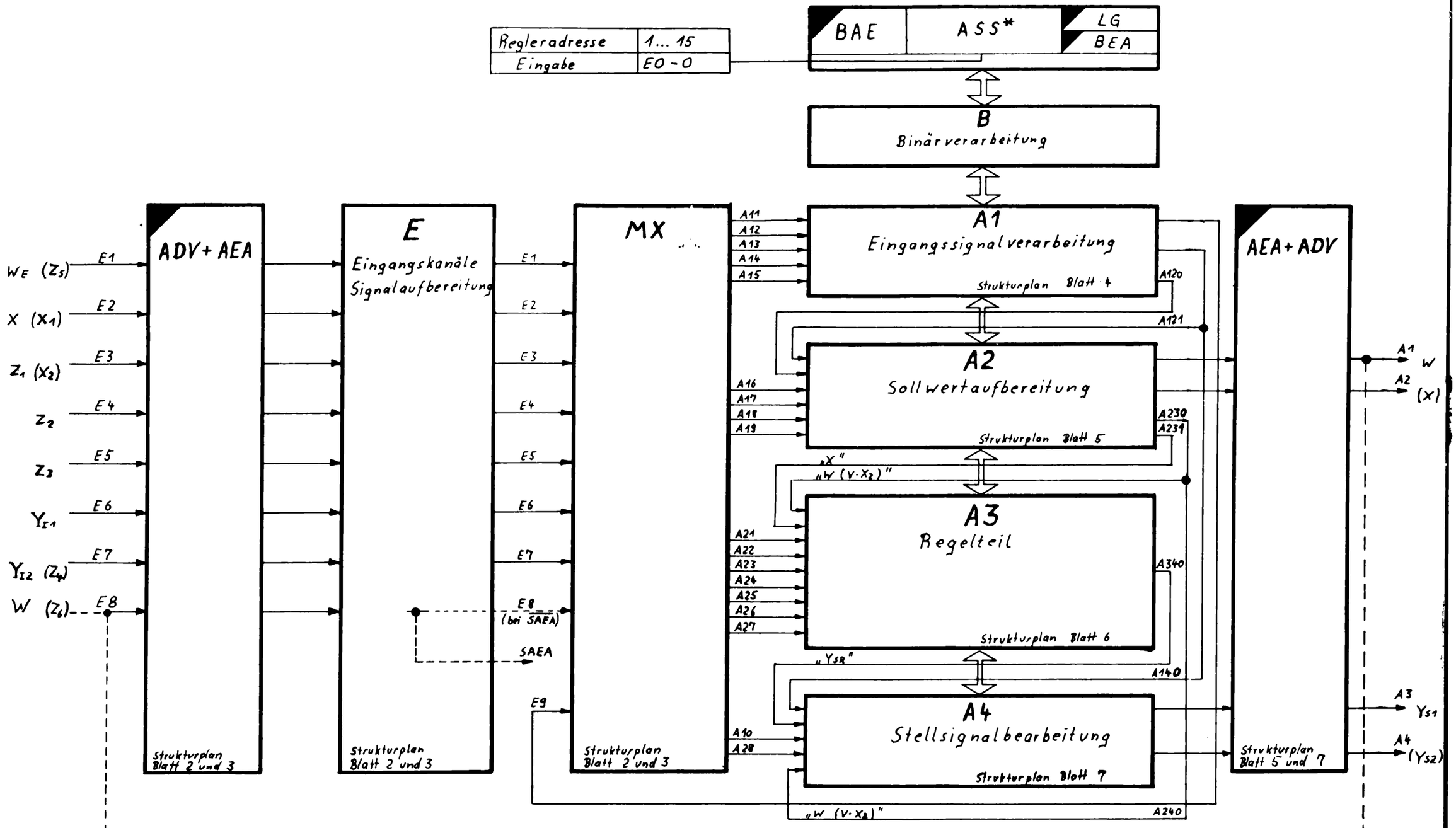


BAE Bedien- und Anzeigeeinheit RBL 05

ASS* Serielle Schnittstelle (nur typabhängig vorhanden)

LG Leitgerät

BEA Binärsignal - Ein-/Ausgabe

Hardwarekomponenten

Mikroprozessorregler RBS 05-

Blockschaltbild

Strukturplan Blatt 1

V-5-2 Mb 495/87

X1

C11	E1IP
A10	E1UP
C10	E1UN/IN
C9	E1VW

W_E (Z_3)

Taste SIM (BAE) / 6,BY0 → & → E1-7 / 7,BY0

ADU Kanal 1 — ü(ε) — E0-1 (ε_u) / E0-2 (ε_o)

E1-7 → SWEI

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA = 0	0...20mA	6,BY0 = 0	1,BY1	0	1
SA = 1	4...20mA		ε_u =		
SA = 2	0...10 V		ε_o =		

E1-4 (K1) / E1-5 (K2) / E1-6 (TF) → E1-8

LT ($(K1 \cdot X_E + K2)$) — √ — TF

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1=						TF =	s
K2=							

E1-8 → K0 / E1-0 (K0) → 2,BY1 → E1-9 → E1 → MX

Festsollwert	AUS	EIN
2,BY1	0	1

K0= → 0 → E0 → MX

C13	E2IP
A12	E2UP
C12	E2UN/IN
C14	E2VW

X (X_1)

E2-7 / 2,BY0 → ADU Kanal 2 — ü(ε) — ε_u / ε_o

E2-7 → SSAI 2

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA = 0	0...20mA	6,BY0 = 0	2,BY7	0	1
SA = 1	4...20mA				
SA = 2	0...10 V				

E2-4 (K1) / E2-5 (K2) / E2-6 (TF) → E2-9 → E2 → MX

LT — √ — TF

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1=						TF =	s
K2=							

C16	E3IP
A15	E3UP
C15	E3UN/IN
C19	E3VW

Z_1 (X_2)

E3-7 / 7,BY0 → ADU Kanal 3 — ü(ε) — ε_u / ε_o

E3-7 → SSAI 3

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA = 0	0...20mA	6,BY0 = 0	3,BY7	0	1
SA = 1	4...20mA				
SA = 2	0...10 V				

Kanal 3	AUS	EIN
3,BY1	0	1

E3-4 (K1) / E3-5 (K2) / E3-6 (TF) → E3-8

LT — √ — TF

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1=						TF =	s
K2=							

E3-8 → E3-0 (KO) / E3-1 (T1) / E3-2 (KD) → DY → E3-9 → E3 → MX

DY	AUS	PT1	DT1	PDT1
d	0	1	2	3
KO=				
T1=				s
KD=				

C18	E4IP
A17	E4UP
C17	E4UN/IN
C20	E4VW

Z_2

E4-7 / 7,BY0 → ADU Kanal 4 — ü(ε) — ε_u / ε_o

E4-7 → SSAI 4

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA = 0	0...20mA	6,BY0 = 0	4,BY7	0	1
SA = 1	4...20mA				
SA = 2	0...10 V				

Kanal 4	AUS	EIN
4,BY1	0	1

E4-4 (K1) / E4-5 (K2) / E4-6 (TF) → E4-8

LT — √ — TF

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1=						TF =	s
K2=							

E4-8 → E4-0 (KO) / E4-1 (T1) / E4-2 (KD) → DY → E4-9 → E4 → MX

DY	AUS	PT1	DT1	PDT1
d	0	1	2	3
KO=				
T1=				s
KD=				

MX: A10 A11 A12 A13 A14 A15 A16 A17 A18 A19 A21 A22 A23 A24 A25 A26 A27 A28

E1 →	
E2 →	
E3 →	
E4 →	

Mikroprozessorregler RBS 05-

E - Eingangskanäle (1-4) / Signalaufbereitung

Strukturplan Blatt 2

V-5-2 Mb 495/87

X1

C22 ESIP
A21 ESUP
C21 ESUN/IN
A25 ESVW
Z_3

Kanal 5	AUS	EIN
5,BY1	0	1

E5-7 — 7,BY0 — E0-1 (ε_u) — E0-2 (ε_o)

ADU Kanal 5 — ü(ε) — E5-7 — SSAI 5

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA=0	0...20 mA	6,BY0 = 0	5,BY7	0	1
SA=1	4...20 mA		ε_o =		
SA=2	0...10 V		ε_o =		

E5-4 (K1) — E5-5 (K2) — E5-6 (TF)

LT ($K1 \cdot X_E + K2$) — √ — TF — E5-9 — E5 — MX

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1 =						TF =	s
K2 =							

C24 E6IP
A23 E6UP
C23 E6UN/IN
C25 E6VW
Y_{I1}

E6-7 — 7,BY0 — ε_u — ε_o

ADU Kanal 6 — ü(ε) — E6-7 — SSAI 6

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA=0	0...20 mA	6,BY0 = 0	6,BY7	0	1
SA=1	4...20 mA				
SA=2	0...10 V				

E6-4 (K1) — E6-5 (K2) — E6-1 (K1 ...) — E7-1 (K5) — E6-6 (TF)

LT — √ — NL 1) — TF — E6-8 — E6-0 (K0) — E6-9 — E6

K0 =

6,BY1

	AUS	EIN
6,BY1	0	1

LT	AUS	EIN	√	AUS	EIN	NL	AUS	EIN	Filter	AUS
b	0	1	c	0	1	d	0	1	TF	0,0
K1:						Parameter siehe 1)			TF =	s
K2:										

C27 E7IP
A26 E7UP
C26 E7UN/IN
A27 E7VW
Y_{I2} (Z4)

E7-7 — 7,BY0 — ε_u — ε_o

ADU Kanal 7 — ü(ε) — E7-7 — SSAI 7

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA=0	0...20 mA	6,BY0 = 0	7,BY7	0	1
SA=1	4...20 mA				
SA=2	0...10 V				

E7-4 (K1) — E7-5 (K2) — E7-6 (TF)

LT — √ — TF — E7-8 — E7-9 — E7

7,BY9

Mittelwertbildung	AUS	EIN
2) 7,BY9	0	1

LT	AUS	EIN	√	AUS	EIN	Filter	AUS
b	0	1	c	0	1	TF	0,0
K1:						TF =	s
K2:							

Kanal 7	AUS	EIN
7,BY1	0	1

C29 E8IP
A28 E8UP
C28 E8UN/IN
A29 E8VW
W-AEA-Test (Z_6)

E8-7 — 7,BY0 — ε_u — ε_o

ADU Kanal 8 — ü(ε) — E8-7 — SSAI 8

Signalart		dig. Simulation	ü(ε)	AUS	EIN
SA=0	0...20 mA	6,BY0 = 0	1,BY7	0	1
SA=1	4...20 mA				
SA=2	0...10 V				

E8-4 (K1) — E8-5 (K2) — E8-6 (TF)

LT — √ — TF — E8-9 — E8

A2-7 — W — S — SAEA — von A1 — E9-9 — E9

E8-8 — 5,BY9 — 3% — &

Überwachung Analog Ein/Ausgabe	AUS	EIN
5,BY9	0	1

E5 →	
E6 →	
E7 →	
E8 →	
E9 →	

MX → A10 A11 A12 A13 A14 A15 A16 A17 A18 A19 A21 A22 A23 A24 A25 A26 A27 A28

X2

A10 FWA — BE6 — 0,BY1 — & — SWEI — 1 — SW — 0,BY5 — Zwangsintern

C11 SSA — BE7 — 0,BY7 — & — SSAI2 / SSAI8 — 1 — SSA — 1,BY5 — Zwangsband

Eingang FWA	AUS	EIN
0,BY1	0	1

Eingang SSA	AUS	EIN
0,BY7	0	1

1) NL-Kennlinien-Korrektur

Parameter NL-Kanal 6	
E6-1	K1 =
E6-2	K2 =
E6-3	K3 =
E7-0	K4 =
E7-1	K5 =
d mit Taste DY anwählen!	

(siehe A4 - Stellsignal-bearbeitung)

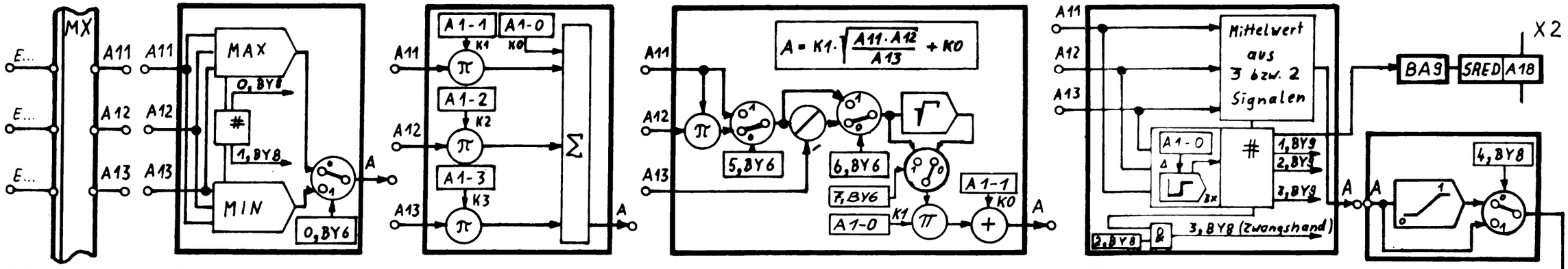
2) für Parallel- und Staffelantriebe: Mittelwertbildung der Stellgliedstellung

Mikroprozessorregler RBS 05-

E - Eingangskanäle (5-8) / Signalaufbereitung

Strukturplan Blatt 3

V-5-2 Mb 495/87



Funktionsblöcke aus	
1, BY6	0
2, BY6	0
3, BY6	0
4, BY6	0

Extremwertauswahl	AUS	EIN
1, BY6	0	1
2, BY6	/	0
3, BY6	/	0
4, BY6	/	0
Funktion	MAX	MIN
0, BY6	0	1

Meld. Extr.w.	1,BY8	0,BY8
A11	0	1
A12	1	0
A13	1	1

oder

Mischstelle	AUS	EIN
1, BY6	/	0
2, BY6	0	1
3, BY6	/	0
4, BY6	/	0
K0 =		
K1 =		
K2 =		
K3 =		

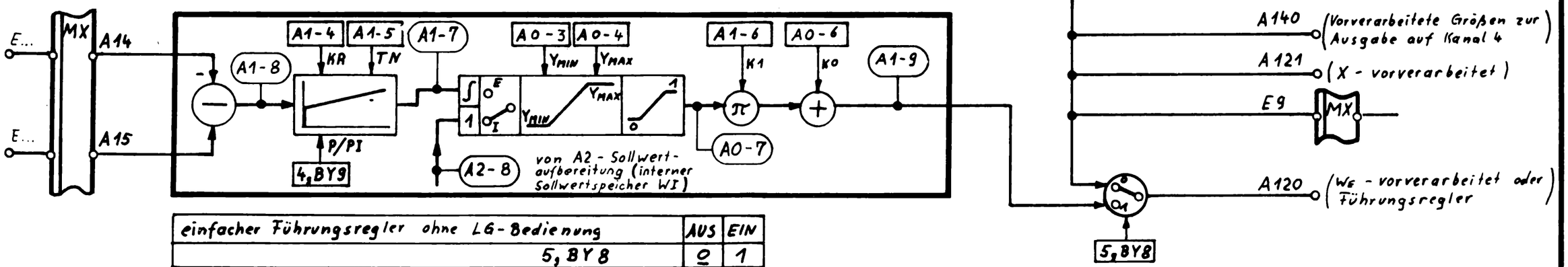
oder

Rechenglied	AUS	EIN
1, BY6	/	0
2, BY6	/	0
3, BY6	0	1
4, BY6	/	0
Subformen		
Multiplikation mit A12	AUS	EIN
5, BY6	1	0
Division durch A13	AUS	EIN
6, BY6	1	0
Radizierung	AUS	EIN
7, BY6	1	0
K1 =		
K0 =		

oder

2-aus 3-Auswahl (Redundanz)	AUS	EIN
1, BY6	/	0
2, BY6	/	0
3, BY6	/	0
4, BY6	0	1
Zwangshandschaltung	AUS	EIN
2, BY8	0	1
Meßfehler auf Kanal		
A11 bei 1, BY9 = 1		
A12 bei 2, BY9 = 1		
A13 bei 3, BY9 = 1		
Δ =		

Einheitsbegrenzung	AUS	EIN
4, BY8	1	0



einfacher Führungsregler ohne LG-Bedienung	AUS	EIN
5, BY8	0	1

- P/PI-Umschaltung
- stoßfreie Parameterumschaltung

Reglerverhalten	P	PI
4, BY9	0	1
KR =	(KR = 0,2 ... 20)	
TN = s	(TN = 2 ... 300 s)	

- stoßfreie I/E-Umschaltung (Festwert — / Kaskadenregelung)
- Begrenzung des Ausgangssignals
- Linearitransformation des Ausgangssignals

Y_{MIN} =	
Y_{MAX} =	
K1 =	
K0 =	

Mikroprozessorregler RBS 05-

A1 - Eingangssignalverarbeitung

Strukturplan Blatt 4

V-5-2 Mb 195/87

Datenpunkt serielle Schnittstelle
A0-8 Sollwerteingabe W_E
W_E
W_E - digital
W_E - analog
E... MX A16
A120
1,BY2
3,BY2
2,BY2
externer Sollwert W_E

	analog	digital
2,BY2	0	1

Korrektur von W_I durch W_E - analog

	AUS	EIN
3,BY2	0	1

W_E - analog direkt oder vorverarbeitet bzw. interner Führungsregl.

	direkt	vorverarb./ Führ.reg.
1,BY2	0	1

BAE A2-4
X2
A13 W+ BE3
C13 W- BE4
$\Delta W = 0{,}5\%$
$\Delta W = 0$
$\Delta W = -0{,}5\%$
Nachführung von W_I durch W_E bei „Extern"

Nachführung	AUS	EIN
6,BY2	0	1

W_I - Verstellung über serielle Schnittstelle
W_I - Vorgabe von BAE (priorisierte Eingabe)
W_I - Verstellung vom Leitgerät
Nachführung von W_I durch „x" („Vist") bei „Hand"

Nachführung	AUS	EIN
5,BY2	0	1

W_{MIN} W_{MAX} WI
intern
extern
A2-8
A2-0 ΔW
A2-1 W_{MIN}
A2-2 W_{MAX}
VB

Sollwertblock
- Intern-/Extern-Umschaltung
- Begrenzung der Veränderungsgeschwindigkeit (VB)
- Begrenzung des Sollwertes

$VB = \Delta W \cdot 200\,\%/s$

ΔW =	(ΔW_{MIN} = 0,005)
W_{MIN} =	W_{MAX} =

Datenpunkt serielle Schnittstelle
A2-3 Δ 3,CSTAT
W_s (V_{soll})
Δ =
A2-7
A220
DAU Kanal 1
X1 A1I A3 A1U C3

Signalart

SA = 0	0...20 mA
SA = 1	4...20 mA
SA = 2	0...10 V

A240 W (V_{X_2})
A230
A231 X (X1)

E9-9
A121
E... MX A17
X (x_1)
E... A18
X_2
4,BY2
X(x1) direkt oder vorverarbeitet

	direkt	vorver.
4,BY2	0	1

A2-5 K1 A0-5 K0 A9-7 0_2BY2
0_2BY2
K0 K1

Verhältnisregelung	AUS	EIN
0_2BY2	0	1
Verhältnisbereichseinstellung		
K0 =	K1 =	

E... MX A19

A9-8
7,BY3
7,BY2
A2-9
DAU Kanal 2
X1 A2I A4 A2U C4

Ausgabe von „A121" auf Kanal 2

	AUS	EIN
7,BY3	0	1
7,BY2	/	0

Ausgabe von „A19" auf Kanal 2

	AUS	EIN
7,BY2	0	1

Signalart

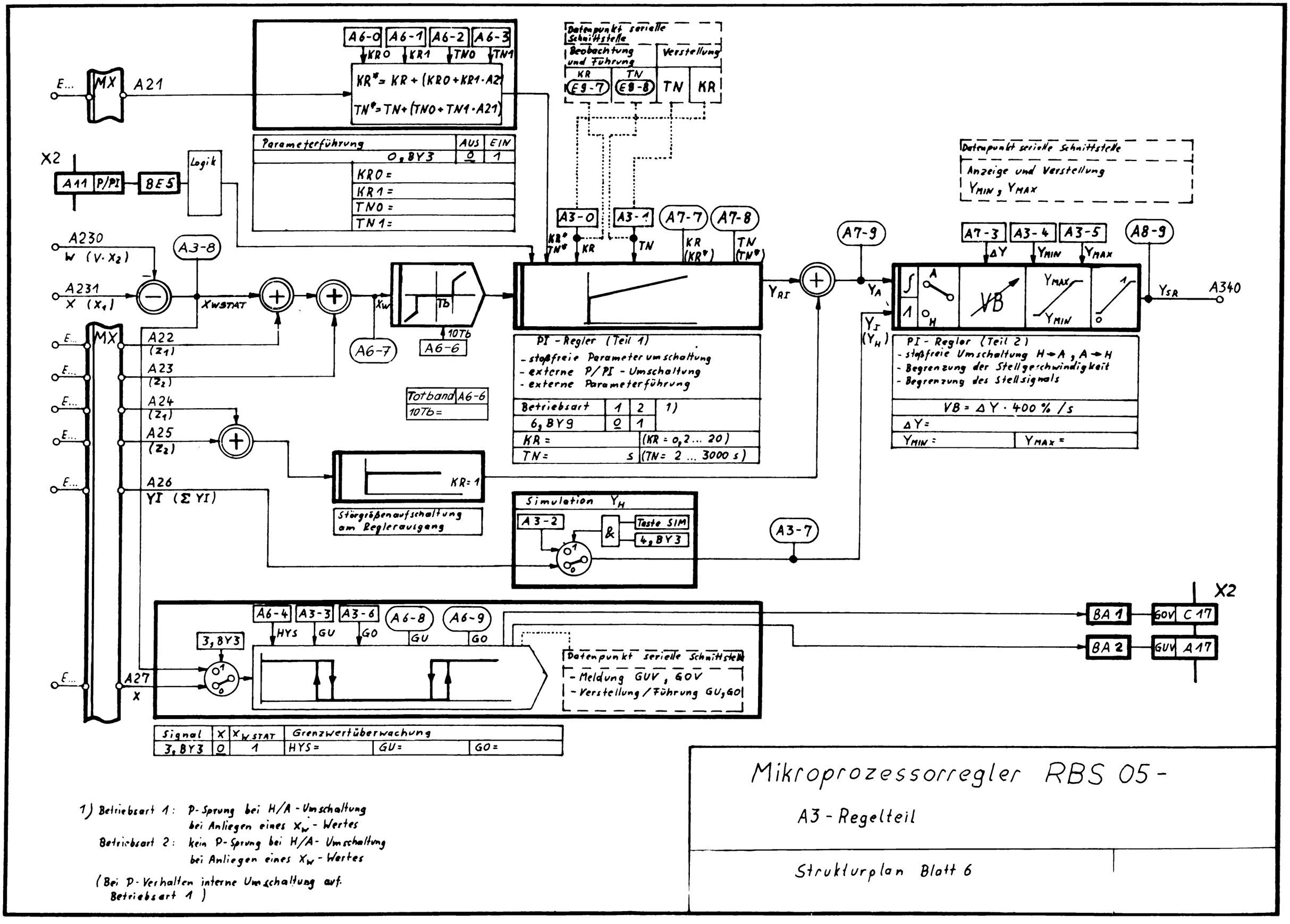
SA = 0	0...20 mA
SA = 1	4...20 mA
SA = 2	0...10 V

Mikroprozessorregler RBS 05-

A2 - Sollwertaufbereitung

Strukturplan Blatt 5

V-5-2 Mb 135/87



1) Betriebsart 1: P-Sprung bei H/A-Umschaltung bei Anliegen eines X_W-Wertes

Betriebsart 2: kein P-Sprung bei H/A-Umschaltung bei Anliegen eines X_W-Wertes

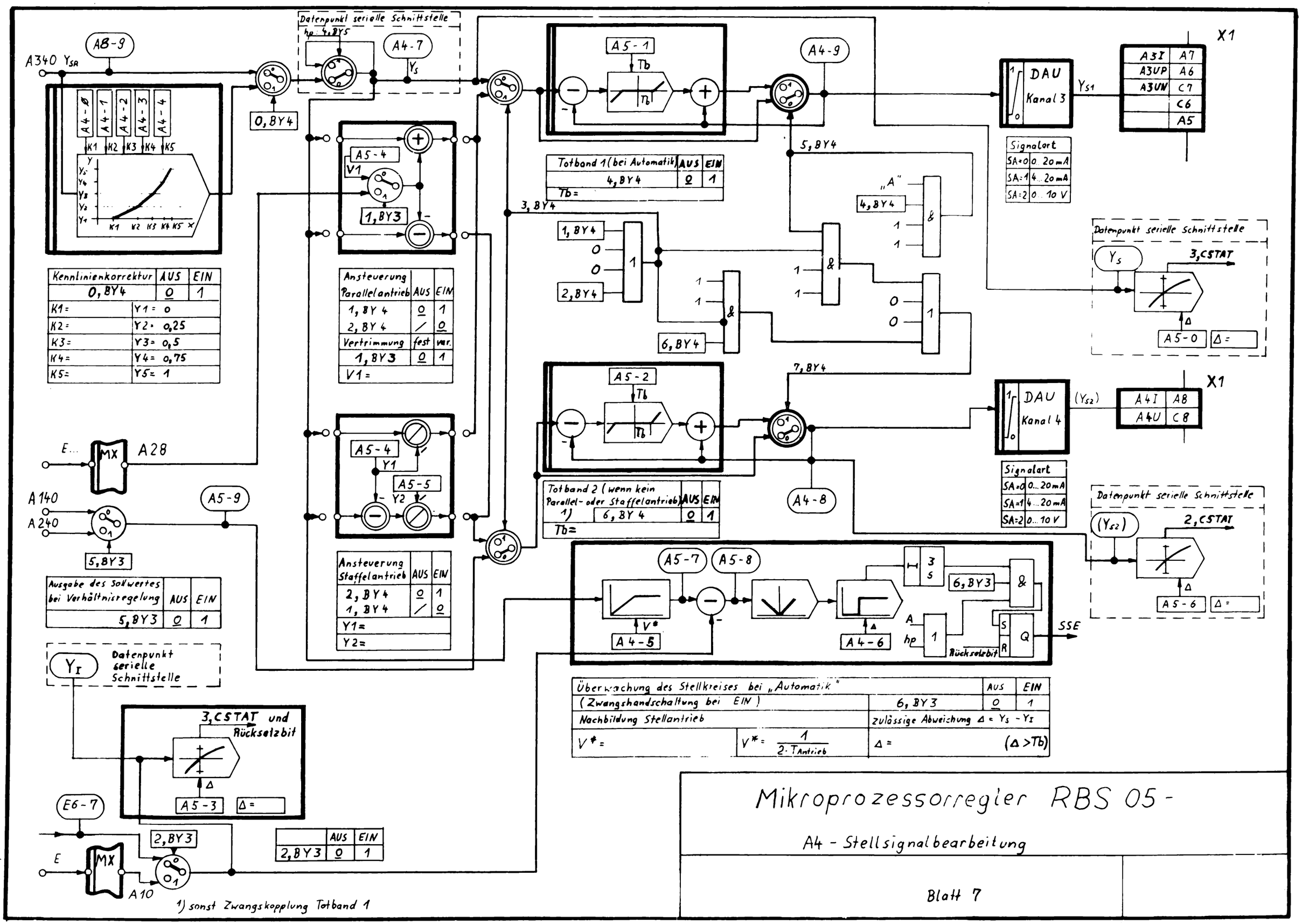
(Bei P-Verhalten interne Umschaltung auf Betriebsart 1)

Mikroprozessorregler RBS 05-

A3-Regelteil

Strukturplan Blatt 6

V-5-2 Mb 195/87



Kennlinienkorrektur	AUS	EIN
0,BY4	0	1
K1=	Y1= 0	
K2=	Y2= 0,25	
K3=	Y3= 0,5	
K4=	Y4= 0,75	
K5=	Y5= 1	

Ansteuerung Parallelantrieb	AUS	EIN
1,BY4	0	1
2,BY4	/	0
Vertrimmung	fest	var.
1,BY3	0	1
V1=		

Ansteuerung Staffelantrieb	AUS	EIN
2,BY4	0	1
1,BY4	/	0
Y1=		
Y2=		

Totband 1 (bei Automatik)	AUS	EIN
4,BY4	0	1
Tb=		

Totband 2 (wenn kein Parallel- oder Staffelantrieb) 1)	AUS	EIN
6,BY4	0	1
Tb=		

Ausgabe des Sollwertes bei Verhältnisregelung	AUS	EIN
5,BY3	0	1

	AUS	EIN
2,BY3	0	1

Überwachung des Stellkreises bei „Automatik"		AUS	EIN
(Zwangshandschaltung bei EIN)	6,BY3	0	1
Nachbildung Stellantrieb	zulässige Abweichung $\Delta = Y_S - Y_I$		
$V^* =$	$V^* = \frac{1}{2 \cdot T_{Antrieb}}$	$\Delta =$	$(\Delta > Tb)$

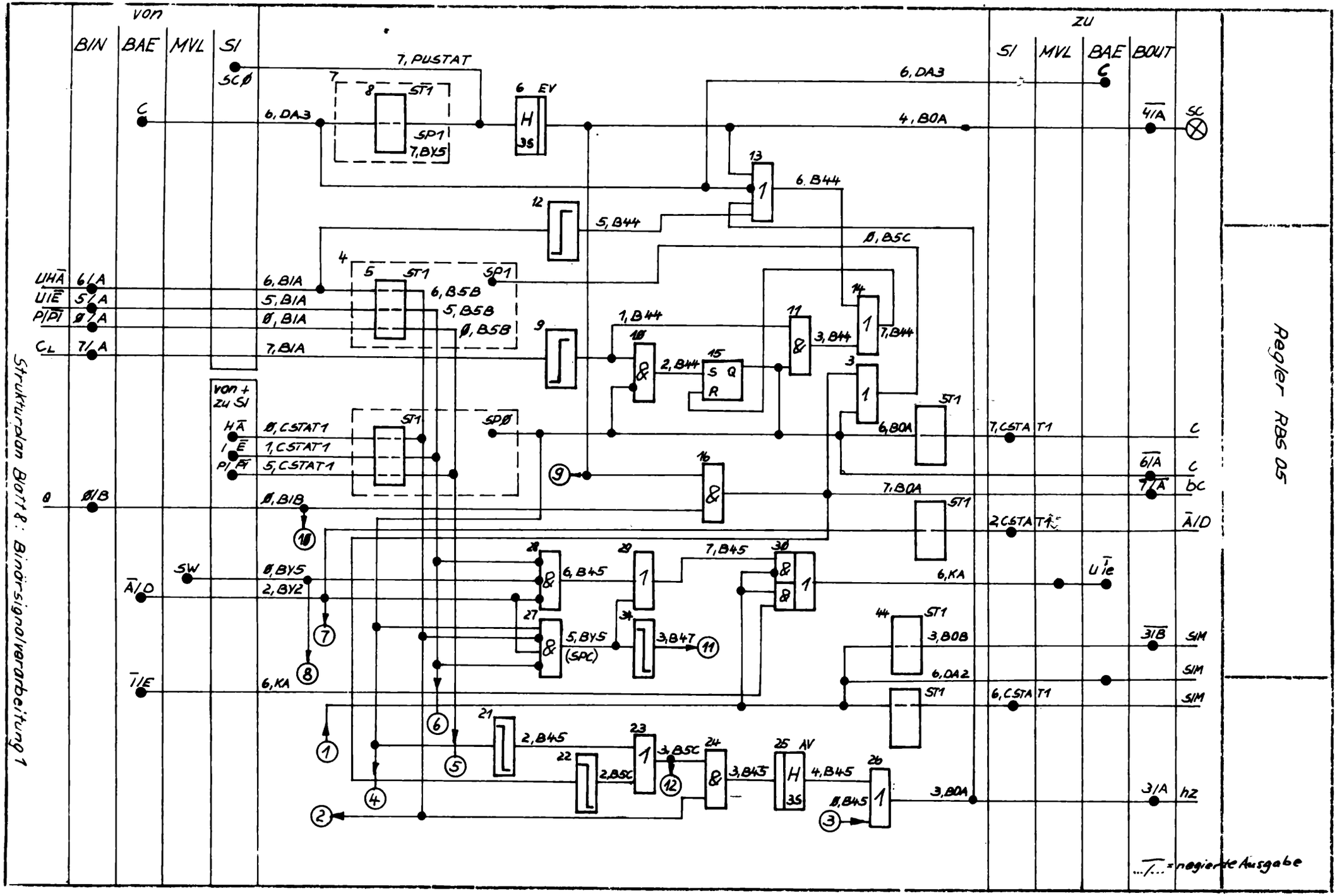
1) sonst Zwangskopplung Totband 1

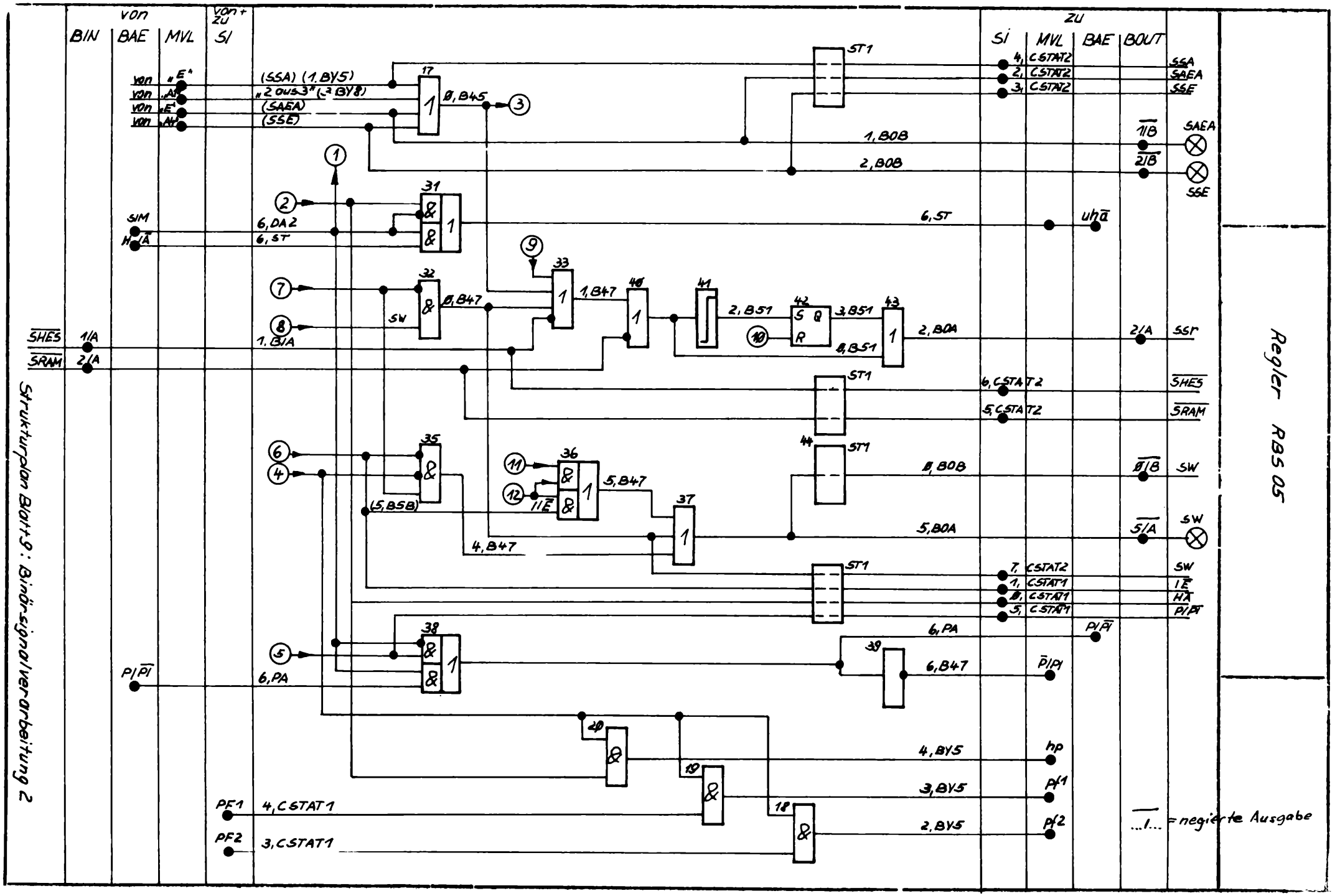
Mikroprozessorregler RBS 05 -

A4 - Stellsignalbearbeitung

Blatt 7

V-5-2 Mb 195/87


Von
BIN
BAE
MVL
SI
SCØ
7, PUSTAT
C
6, DA3
7
8
ST1
SP1
7, BY5
6 EV
H
3S
13
1
6, B44
12
5, B44
Ø, B5C
4
5
ST1
SP1
6, B5B
5, B5B
Ø, B5B
6, BIA
5, BIA
Ø, BIA
7, BIA
UHĀ 6/A
UIĒ 5/A
PIPĪ Ø/A
CL 7/A
9
1, B44
10
&
2, B44
15
S Q
R
11
3, B44
14
1
7, B44
3
1
ST1
6, BOA
7, CSTAT1
von + zu SI
HĀ Ø, CSTAT1
IĒ 1, CSTAT1
PIPĪ 5, CSTAT1
SPØ
9
16
&
7, BOA
ST1
2, CSTAT1
Ø
Ø/B
Ø, BIB
16
SW
Ø, BY5
2, BY2
Ā/D
7
8
28
&
6, B45
29
1
7, B45
30
&
&
1
6, KA
27
&
5, BY5
(SPC)
34
3, B47
11
T/Ē
6, KA
6
21
2, B45
22
2, B5C
23
1
3, B5C
12
24
&
3, B45
25 AV
H
3S
4, B45
26
1
11, B45
3
1
2
4
5
44
ST1
3, BOB
6, DA2
ST1
6, CSTAT1
3, BOA
ZU
SI
MVL
BAE
BOUT
C
4/A
SC
6/A
C
7/A
bc
Ā/D
2, CSTAT1
U Ie
3/B
SIM
SIM
SIM
3/A
hz
Struktur plan Blatt 8: Binärsignalverarbeitung 1
Regler RBS 05
.../... = negierte Ausgabe


Struktурplan Blatt 9: Binärsignalverarbeitung 2
Regler RBS 05
von BIN
von BAE
von MVL
von + ZU SI
ZU SI
ZU MVL
ZU BAE
ZU BOUT
von „E"
von „A"
von „E"
von „A"
(SSA) (1,BY5)
„2 aus 3" (2 BY8)
(SAEA)
(SSE)
17
Ø,B45
3
ST1
4, CSTAT2
2, CSTAT2
3, CSTAT2
SSA
SAEA
SSE
1,BOB
2,BOB
1/B
2/B
SAEA
SSE
1
2
31
SM
HA
6,DA2
6,ST
6,ST
uhā
9
33
32
7
8
SW
Ø,B47
1,B47
40
41
2,B51
42
S Q
R
10
3,B51
Ø,B51
43
2,BOA
2/A
SSr
SHES 1/A
SRAM 2/A
1,BIA
ST1
6, CSTAT2
5, CSTAT2
SHES
SRAM
6
4
35
(5,B58)
36
11
12
1/E
5,B47
37
44
ST1
Ø,BOB
Ø/B
SW
4,B47
5,BOA
5/A
SW
ST1
7, CSTAT2
1, CSTAT1
Ø, CSTAT1
5, CSTAT1
SW
1E
HA
PI/PA
6,PA
PI/PA
38
5
39
P/PI
6,PA
6,B47
P/PI
20
19
18
4,BY5
3,BY5
2,BY5
hp
Pf1
Pf2
PF1
PF2
4,CSTAT1
3,CSTAT1
...1... = negierte Ausgabe